



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re patent application of

Yuki FUJIMOTO, et al.

Serial No.: 10/647,463

Group Art Unit: Not Yet Assigned

Filing Date: August 26, 2003

Examiner: Unknown

For: EQUIVALENT CIRCUIT OF VOLTAGE-CONTROLLED VARIABLE  
CAPACITIVE ELEMENT

Honorable Commissioner of Patents  
Alexandria, VA 22313-1450

**SUBMISSION OF PRIORITY DOCUMENT**

Sir:

Submitted herewith is a certified copy of Japanese Application Number 2002-247870  
filed on August 27, 2002, upon which application the claim for priority is based.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Sean M. McGinn".

Sean M. McGinn, Esq.  
Registration No. 34,386

Date: 10/6/03  
McGinn & Gibb, PLLC  
Intellectual Property Law  
8321 Courthouse Road, Suite 200  
Vienna, VA 22182-3817  
(703) 761-4100  
Customer No. 21254

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 8月27日

出 願 番 号  
Application Number:

特願2002-247870

[ ST.10/C ]:

[ JP 2002-247870 ]

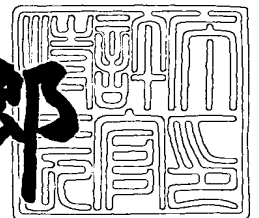
出 願 人  
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月23日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038515

【書類名】 特許願

【整理番号】 74112645

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 29/93

【発明の名称】 電圧制御可変容量素子の等価回路

【請求項の数】 7

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 藤本 裕希

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 黒沢 晋

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100090158

    【弁理士】

    【氏名又は名称】 藤巻 正憲

    【電話番号】 03-3433-4221

【手数料の表示】

    【予納台帳番号】 009782

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧制御可変容量素子の等価回路

【特許請求の範囲】

【請求項 1】 ソース及びドレインが相互に接続された MOS トランジスタと、前記 MOS トランジスタのソースドレイン端子と基板端子との間に接続された第 1 の電圧源と、前記 MOS トランジスタのゲート電極と前記基板との間に接続された固定容量とを有し、前記 MOS トランジスタのゲート電極が接続されたゲート端子と、前記基板端子との間の容量特性により電圧制御可変容量素子の素子特性をシミュレートするものであることを特徴とする電圧制御可変容量素子の等価回路。

【請求項 2】 前記ゲート端子と、前記ゲート電極との間に接続された第 2 の電圧源を有することを特徴とする請求項 1 に記載の電圧制御可変容量素子の等価回路。

【請求項 3】 前記 MOS トランジスタは、P チャネル MOS トランジスタであることを特徴とする請求項 1 又は 2 に記載の電圧制御可変容量素子の等価回路。

【請求項 4】 シミュレートする前記電圧制御可変容量素子の素子特性は、ゲート基板間電圧  $V$  とゲート基板間容量  $C$  との間の  $CV$  特性であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電圧制御可変容量素子の等価回路。

【請求項 5】 前記固定容量の容量値を調節して、前記  $CV$  特性を全体的にゲート基板間容量値を高める方向に調整されたものであることを特徴とする請求項 4 に記載の電圧制御可変容量素子の等価回路。

【請求項 6】 前記第 1 の電圧源の電圧値を調節して、反転層が発生するゲート基板間電圧を、負電圧方向にシフトさせるように調整されたものであることを特徴とする請求項 4 又は 5 に記載の電圧制御可変容量素子の等価回路。

【請求項 7】 前記第 2 の電圧源の電圧値を調節して、前記  $CV$  特性を全体的にゲート基板間電圧値を正電位側に高める方向に調整されたものであることを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の電圧制御可変容量素子の等価回路。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、電圧制御発信器等の共振周波数を所定値に設定するために容量値を外部電圧で変化させる電圧可変容量素子をシミュレートするための等価回路に関する。

## 【0002】

## 【従来の技術】

図18は一般的なアキュムレーションモードMOSバラクタからなる可変容量素子を示す断面図である。例えば、P型基板550の表面の素子分離膜により仕切られた素子形成領域にNウェル560が形成されており、この素子形成領域の表面上にゲート酸化膜580を介してポリシリコンゲート電極570が形成されている。そして、このゲート電極570の両側のNウェルの表面に1対のN<sup>+</sup>拡散層582が形成されている。これにより、ゲート絶縁膜580を間に挟むゲート電極570とNウェル560との間でMOSキャパシタが構成され、ゲート電極570とN<sup>+</sup>拡散層582とを接点とする可変容量素子が構成される。なお、通常のPチャネルMOSトランジスタの場合には、Nウェル560の表面に形成される1対の拡散層がP<sup>+</sup>導電型である。

## 【0003】

図19は横軸にゲート基板間電圧をとり、縦軸にゲート基板間容量値をとって、図18に示すアキュムレーションモードMOSバラクタの高周波C-V特性を示すグラフ図である。このアキュムレーションモードMOSバラクタの高周波C-V特性は、ゲート基板間電圧として負電圧が印加された場合は、Nウェル560の表面の空乏層が基板550側に広がるため、ゲート基板間容量値がゲート酸化膜580と空乏層との直列回路の容量値となり、ゲート基板間容量値が減少していく。更に、ゲート基板間に印加する負電位の絶対値を大きくしていくと、空乏層幅が広がる距離は飽和するため、ゲート基板間容量値も最小値に飽和する。逆に、ゲート基板間電圧が負電位側から正電位側に上げていくと、空乏層が狭まり、ゲート基板間容量値が増加して行く。このゲート基板間に印加する正電

位の絶対値を上げていくと、Nウェル560の表面に蓄積層が形成されて、ゲート基板間容量値は、ゲート酸化膜580により決まる容量値に飽和する。

## 【0004】

このように、可変容量素子は、ゲート電極570とN<sup>+</sup>拡散層582との間に印加する電圧によりゲート基板間容量値が変化し、電圧制御発信器等の共振周波数を所定値に設定するために、容量値を外部電圧で変化させることができる容量素子として使用される。

## 【0005】

而して、この電圧制御可変容量素子の形状・大きさをどのようなものにすべきかを設計する際に、全ての素子を作り込んで特性を評価することには限界があり、このため、従来、可変容量素子の等価回路を作成して、この等価回路を使用して、数値計算により可変容量素子の形状寸法と特性を評価している。

## 【0006】

図20はこの可変容量素子の従来の等価回路を示し、図21はこの等価回路のCV特性を示す。この従来の等価回路は、PチャネルMOSトランジスタ300のソースドレイン(SD)端子323を同電位接続し、このソースドレイン端子323を基板端子325に接続した構造を有し、ゲート電極321と基板端子325との間のゲート基板間電圧を変化させることにより、ゲート基板間容量値が変化する。

## 【0007】

通常のPMOSトランジスタをそのまま使用している従来の等価回路は、ゲート電極に電圧を印加すると、基板表面の電位が変化し、それに伴って、蓄積状態、空乏状態及び反転状態に変化する。このため、ゲート基板間電圧が正電位であって、蓄積状態又は空乏層が伸びている状態の場合は、つまり、図21の破線400にて示す電位(閾値電圧)よりもゲート基板間電圧が高い場合は、ゲート基板間電位に依存した容量変化が得られる。

## 【0008】

## 【発明が解決しようとする課題】

しかしながら、ゲート基板間電圧を閾値電圧より下げていくと、ソースドレイ

ン領域から少数キャリアのホールが供給されて、反転層が形成され始める。この反転層の形成のため、ゲート基板間電圧が下がるほど、ゲート基板間容量値が増加する。このように、従来のアキュムレーションモードバラクタの等価回路の場合には、ゲート基板間電圧が図 2 1 の破線 4 0 0 にて示す閾値電位よりも負電位側に入ると、ゲート基板間容量値の増加が生じてしまう。

## 【 0 0 0 9 】

このように、従来の等価回路の C V 特性は、図 2 1 に示すように、可変容量を制御するバイアス電圧とバラクタ容量との関係が、図 2 1 の破線 4 0 0 で示すゲート基板間電圧を境に逆転するという問題がある。この逆転現象は、従来モデルを P L L (Phase-Locked Loop : 位相同期ループ) 回路の V C O (Voltage-Controlled Oscillator : 電圧制御発振器) の可変容量として使用した場合に特に問題となる。例えば、位相の遅れを修正する(周波数を上げる)ために、バラクタのゲート基板間電圧(バイアス)を下げて、容量値を下げようとした場合に、破線 4 0 0 で示す電位までは、ゲート基板間電位を下げるにより正常にゲート基板間容量値が減少して周波数が上昇する。

## 【 0 0 1 0 】

しかしながら、更に位相に遅れが生じた場合に、バラクタのバイアスを更に下げようとする、破線 4 0 0 で示す電位よりも負電位側に入るため、ゲート基板間電圧の低下と共に、ゲート基板間容量値が増加してしまう。このため、逆に位相が遅れてしまうという問題点がある。そうすると、P L L 回路では、更に、バラクタのバイアスを下げるように動作し、ゲート基板間容量値が更に増加する。このような動作が繰り返されて、位相制御ができなくなってしまう。

## 【 0 0 1 1 】

このように、従来のモデルでは、電圧制御可変容量素子(バラクタ)を表現できるバイアス範囲が、破線 4 0 0 で示す電位よりも正電位側の狭い範囲でしか使用できないという問題点がある。

## 【 0 0 1 2 】

本発明はかかる問題点に鑑みてなされたものであって、電圧制御可変容量素子の C V 特性を含む回路動作特性を高精度でシミュレーションすることができ、電

圧制御可変容量素子を使用した回路の設計を極めて容易にすることができる電圧制御可変容量素子の等価回路を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明に係る電圧制御可変容量素子の等価回路は、ソース及びドレインが相互に接続されたMOSトランジスタと、前記MOSトランジスタのソースドレイン端子と基板端子との間に接続された第1の電圧源と、前記MOSトランジスタのゲート電極と前記基板との間に接続された固定容量とを有し、前記MOSトランジスタのゲート電極が接続されたゲート端子と、前記基板端子との間の容量特性により電圧制御可変容量素子の素子特性をシミュレーションするものであることを特徴とする。

【0014】

この電圧制御可変容量素子の等価回路において、更に、前記ゲート端子と、前記ゲート電極との間に接続された第2の電圧源を有することができる。

【0015】

前記MOSトランジスタは、例えば、PチャネルMOSトランジスタである。また、シミュレーションする前記電圧制御可変容量素子の素子特性は、例えば、ゲート基板間電圧 $V$ とゲート基板間容量 $C$ との間の $CV$ 特性である。

【0016】

この $CV$ 特性は、前記固定容量の容量値を調節して、前記 $CV$ 特性を全体的にゲート基板間容量値を高める方向に調整することができる。また、前記第1の電圧源の電圧値を調節して、反転層が発生するゲート基板間電圧を、負電圧方向にシフトさせるように調整することができる。更に、前記第2の電圧源の電圧値を調節して、前記 $CV$ 特性を全体的にゲート基板間電圧値を正電位側に高める方向に調整することができる。更にまた、前記等価回路の回路特性を、Bsim3シミュレータを使用してシミュレーションすることができる。

【0017】

【発明の実施の形態】

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。



図 1 は本発明の第 1 実施形態に係る電圧制御可変容量素子の等価回路を示す回路図である。この等価回路は、可変容量を表現する P チャンネル MOS トランジスタ 1 1 0 のゲート電極 1 2 2 にゲート端子 1 2 1 が接続され、基板電位の基板端子 1 2 5 とゲート端子 1 2 1 との間に、固定容量 1 4 0 が P チャンネル MOS トランジスタ 1 1 0 と並列になるように接続されている。また、P チャンネル MOS トランジスタ 1 1 0 のソースドレインはソースドレイン端子 1 2 3 に共通接続されて同一電位となっており、このソースドレイン端子 1 2 3 と基板端子 1 2 5 との間に、基板端子 1 2 5 側が正電位となる第 1 の電圧源 1 3 0 が接続されている。

## 【 0 0 1 8 】

図 2 はこのように構成された等価回路における C V 特性を示す。図 2 の横軸は、ゲート端子 1 2 1 と基板端子 1 2 5 との間に印加されたゲート基板間電圧であり、縦軸はそのときのゲート基板間容量である。本発明においては、ソースドレイン端子 1 2 3 と基板端子 1 2 5 との間に、バイアスを印加する第 1 の電圧源 1 3 0 を P チャンネル MOS トランジスタ 1 1 0 に並列になるように接続しているので、反転層の形成電圧が負電圧方向（図 2 の白抜き矢印にて示す）にシフトされる。即ち、従来、図 2 1 に示すように、破線 4 0 0 にて示す電位より低いゲート基板間電圧では反転層が形成されてゲート基板間容量値が上昇してしまったが、本発明においては、この反転層が形成される電位を図 2 の破線 6 1 0 で示す電位まで、負電位側にシフトすることができる。このため、図 2 の破線 6 1 0 と破線 6 6 0 とで挟まれた電圧範囲 6 0 0 では、図 1 9 に示す実際の電圧制御可変容量素子の C V 特性と等価な C V 特性となる。また、固定容量 1 4 0 はトランジスタの寄生容量を表現するものであり、図 1 9 の負電位側のゲート基板間容量値が最小となるフラットな部分の容量（フリンジング容量）を表現するものである。

## 【 0 0 1 9 】

本発明においては、このような等価回路をモデルとして、回路シミュレータにより、所望の特性が得られる電圧制御可変容量素子の形状寸法を求める。このような回路シミュレータ用のモデルとしては、B s i m 3 というカリフォルニア大学バークレイ校のデバイスグループが開発し発展させたものが周知である。この B s i m モデルは、基本的には、物理的モデルであるが、回路シミュレータ用モ

デルとしての性格を考慮して、計算時間の短縮、収束性の改善の見地から、随所に大胆な近似を取り入れ、近似による精度の劣化を救うため、多くのフィッティングパラメータを導入している。

#### 【 0 0 2 0 】

この場合に、第 1 の電圧源 1 3 0 をソースドレイン端子 1 2 3 と基板端子 1 2 5 との間に付加したことによって生じる P チャネル MOS トランジスタ 1 1 0 の閾値電圧の変移は、B s i m 3 の閾値電圧を表現するパラメータによってフィッティングを行う。また、通常の MOS トランジスタモデルのソース容量及びドレイン容量を表現する B s i m 3 のパラメータを殆どゼロに変えることで、可変容量以外の容量の影響を最小にする。フリンジング容量等の表現は、P チャネル MOS トランジスタ 1 1 0 に並列接続された固定容量 1 4 0 によってフィッティングを行う。

#### 【 0 0 2 1 】

図 3 はこの B s i m 3 による MOS バラクタの等価回路の作成工程を示すフローチャート図である。モデル作成を開始し（ステップ S 1）、B s i m 3 に内蔵されている P チャネル MOS トランジスタのひな形を使用して、図 1 に示す等価回路の各部品を組み立てる（ステップ S 2）。そして、B s i m 3 モデルパラメータのうち、可変容量を表現するパラメータ以外の容量を殆ど 0（ゼロ）にする（ステップ S 3）。その後、等価回路の初期値を設定する（ステップ S 4）。そして、回路シミュレーションを行い（ステップ S 5）、図 1 に示す等価回路の C V 特性を求める。一方、図 1 8 に示す電圧制御可変容量素子の実デバイスの C V 特性の測定データを求め（ステップ S 6）、この実測データと回路シミュレーション結果とを読み込み（ステップ S 7）、両者を比較して回路シミュレーション結果におけるフィッティング精度を求める（ステップ S 8）。このフィッティング精度が悪い（N o）場合には、固定容量 1 4 0 及び第 1 の電圧源 1 3 0 の各値と、B s i m 3 のパラメータとを調整し（ステップ S 9）、再度、回路シミュレーションを行う（ステップ S 5）。このような実測データと回路シミュレーション結果との比較を繰り返し、フィッティング精度が十分である（Y e s）と判断された場合には、そのときのパラメータにより MOS バラクタ（可変容量素子）

の等価回路が完成する。このようにして求められた電圧制御可変容量素子の等価回路を使用して、所望の特性を有する電圧制御可変容量素子を設計する。

#### 【 0 0 2 2 】

図 4 は本発明の第 2 実施形態に係る電圧制御可変容量素子の等価回路を示す回路図である。本実施形態が、図 1 に示す第 1 実施形態と相違する点は、ゲート端子 1 2 1 と、P チャネル MOS トランジスタ 1 1 0 のゲート電極 1 2 2 との間に、第 2 の電圧源 1 5 0 をゲート電極 1 2 2 側が正電位になるように接続したことにある。

#### 【 0 0 2 3 】

この第 2 実施形態の等価回路では、第 1 の電圧源 1 3 0 をソースドレイン端子 1 2 3 と基板端子 1 2 5 との間に付加したことによって生じる閾値電圧の変移を、B s i m 3 の閾値電圧を表現するパラメータを調整することに加え、第 2 の電圧源 1 5 0 をゲート端子 1 2 1 とゲート電極 1 2 2 との間に直列に接続し、この第 2 の電圧源 1 5 0 のパラメータを調整することとの組み合わせにより、より柔軟にフィッティングすることが可能となる。即ち、この第 2 実施形態においては、ゲートに対して直列に挿入した第 2 の電圧源 1 5 0 によって、P チャネル MOS トランジスタ 1 1 0 の閾値電圧を操作することが可能となり、B s i m 3 の閾値を制御するパラメータと組み合わせることにより、柔軟な設定が可能となる。その結果、反転層が発生しない可変容量素子（バラクタ）の実デバイスの C - V 特性により一層近似した C V 特性の等価回路が得られる。

#### 【 0 0 2 4 】

次に、この等価回路に使用した回路部品を使用してシミュレートした場合のフィッティング効果について説明する。図 1 又は図 4 に示す実施形態の等価回路の各回路部品が C V 特性シミュレーションに及ぼす効果については、以下のとおりである。まず、外付けの固定容量 1 4 0 は、C V 特性全体の容量値を増減させる。また、第 1 の電圧源 1 3 0 は反転層発生電圧をシフトさせる。更に、第 2 の電圧源 1 5 0 は C V 特性の立ち上がり位置をシフトさせる。

#### 【 0 0 2 5 】

一方、B s i m 3 のモデルパラメータが C V 特性シミュレーションに与える効

果については、以下のとおりである。まず、D L C が可変容量素子の振幅を増減させる。また、V T H 0 は C V 特性の立ち上がり位置をシフトさせると共に、その調整により C V 特性のコーナーの角度を操作することができる。更に、K 1 は C V 特性の立ち上がりの傾斜角と振幅を増減させる。

## 【 0 0 2 6 】

但し、部品及びモデルパラメータは、互いに依存関係を有する。このため、以上の説明は、各値を変えたときに、シミュレーション結果が見かけ上で最も大きく特性が変化する箇所を述べたものであり、各部品と特性関係が 1 対 1 には対応しない。

## 【 0 0 2 7 】

このような各パラメータの特性を利用して、フィッティングを行う。フィッティングとは、可変容量素子の実デバイスの高周波測定により得られた C V 特性に、回路シミュレーションの実行結果が要求精度を満たす程度に一致するように、等価回路の各部品の値を調節して追い込むことである。以下、具体的なフィッティング方法について説明する。

## 【 0 0 2 8 】

まず、基本的な P チャネル M O S トランジスタの C V 特性は図 5 に示すとおりである。図 5 は、図 2 0 に示す従来の等価回路、即ち基本的な P チャネル M O S トランジスタ ( $L = 0.16 \mu m$ 、 $W = 100 \mu m$ ) の等価回路の C V 特性シミュレーション結果 (実線) と、電圧制御可変容量素子の実デバイスの C V 特性測定データ (一点鎖線、◆) とを比較して示す。前述のように、P チャネル M O S トランジスタの C V 特性は、反転層の影響によって負電位 (約  $-0.3 V$ ) 側の反転層発生電圧 (線分 1 0 3 0 で示す) で、ゲート基板間容量値の増加が生じている。また、容量立ち上がり電位 (線分 1 0 1 0 で示す) が大きく正電位側にあり、しかも全体の容量が小さい。

## 【 0 0 2 9 】

次いで、B s i m 3 モデルパラメータのうち、容量を表現するパラメータを殆どゼロ (0) にする。B s i m 3 モデルパラメータの可変容量を表現するパラメータ以外のパラメータとしては、C G S O (ゲートソース間寄生容量)、C G D

O (ゲートドレイン間寄生容量)、C J (フリンジ電界容量)、C J S W (ゼロバイアス・バルク接合側面容量) 等がある。これらのパラメータをシミュレーションで影響が出ない範囲で小さくする。これは、M O S 可変容量素子が、PチャネルM O S トランジスタと構造が相違するため、B s i m 3 パラメータの値（特に、容量を表現するパラメータ）によって、意図しない作用が発生することを防止するためである。なお、この構造の相違は、前述の如く、基板表面のNウエルに作り込まれた可変容量素子のソースドレイン拡散層が $N^+$ 型であり、Nウエルとソースドレイン拡散層とは同電位であるのに対し、PチャネルM O S トランジスタの場合は、Nウエルの表面に形成されたソースドレインが $P^+$ 拡散層であることである。

#### 【0030】

次に、図6に示すように、従来の等価回路（図20：Pチャネルトランジスタ300のみ）に対し、外付けの固定容量140を付加した場合のシミュレーション結果について説明する。なお、図6において、図1と同一構成物には同一符号を付してある。この図6に示す等価回路の回路シミュレーションにより求めたC V特性を図7に示す。図7において、実線が外付け容量140がない場合のシミュレーション結果であり、破線が0.07pFの容量をもつ外付け容量140を付加した場合のシミュレーション結果である。但し、B s i m 3 モデルには、B s i m 3 のモデルパラメータの可変容量を表現するパラメータ以外のパラメータを殆どゼロにしている。

#### 【0031】

この図7に示すように、外付け容量140を付加すると、ゲート基板間容量値が全体的に（全てのゲート基板間電圧で）増加する。

#### 【0032】

次に、B s i m 3 のモデルパラメータの調整によるシミュレーション結果について説明する。B s i m 3 のV T H 0 は、閾値電圧を調整するパラメータである。図8に示すように、V T H 0 の値を負の値にすると、容量が立ち上がる位置（線分1020で示す）のゲート基板間電圧が負電圧方向にシフトする。図中、破線は、V T H 0 を約-1.5に調整した場合のものである。

## 【 0 0 3 3 】

K 1 はモデルの閾値に対する係数である。図 9 に示すように、K 1 の値を増加させると、図中破線にて示すように、C V 特性の傾き 8 0 0 がなだらかになり（落ち込みが緩やかになり）、容量値の最大値からの落ち込みを示す振幅 8 1 0 が減少する。図中、破線は K 1 を約 1. 1 に調整したものである。

## 【 0 0 3 4 】

D L C は C V 特性からのゲート長オフセット・フィッティング・パラメータである。図 1 0 に示すように、D L C の値を減少させると、図中破線にて示すように、C V 特性の波形における最大容量値の増加を示す振幅 9 1 0 が増加する。図中、破線は D L C を約  $2. 0 \times 10^{-8}$  に調節している。

## 【 0 0 3 5 】

次に、第 1 の電圧源 1 3 0 の付加によるシミュレーションへの効果について説明する。図 1 に示すように、図 6 の等価回路に対し、外付けの第 1 の電圧源 1 3 0 を付加すると、その回路シミュレーションにより求まる C V 特性は図 1 1 に示すようになる。図 1 1 において、実線は第 1 の電圧源がない場合（図 7 の破線と同一）、一点鎖線及び破線は第 1 の電圧源 1 3 0 を付加した場合の回路シミュレーションによる C V 特性である。この一点鎖線は、第 1 の電圧源 1 3 0 として、 $-0. 5$  V を印加した場合、破線は  $-1. 2$  V を印加した場合のシミュレーション結果である。この図 1 1 に示すように、第 1 の電圧源 1 3 0 を付加することにより、反転層発生電圧（線分 1 0 3 0 で示す）をバラクタの制御電圧の範囲外（この場合は、 $-1. 5$  V 以下）まで負電圧方向にシフトさせることができる。

## 【 0 0 3 6 】

そして、①容量を表現するパラメータを殆どゼロにする、②外付け容量 1 4 0 の付加、③ B s i m 3 モデルパラメータの調整の各工程を繰り返して、パラメータを調整することにより、測定データとシミュレーション結果との相違が、要求精度（例えば、 $\pm 10\%$  以内）を満たすまで、パラメータを追い込んでいく。

## 【 0 0 3 7 】

図 1 2 は横軸にゲート基板間電圧をとり、縦軸にゲート基板間容量値をとって、フィッティング終了時の C V 特性を示す。図中、◆は実デバイスの測定データ

のC V特性であり、実線はパラメータを回路シミュレーションにより求めた等価回路（図1に示す）のC V特性である。そして、図中、フィッティング精度も合わせて示す。この図12に示すように、実測データと、シミュレーション結果とは、高精度で一致しており、本発明の第1実施形態の等価回路は、フィッティング精度が高い（誤差が小さい）ことがわかる。

## 【0038】

図13はC V特性に対するV T H 0の影響を示すグラフ図である。B s i m 3のモデルパラメータのV T H 0を負の値にしてその絶対値を大きくしていくと、ゲート基板間容量値の立ち上がり位置1020が負電位側にシフトすると共に、C V特性の波形のコーナー部1010の角度が緩やかになるように変化する。図12に示すように、図1に示す等価回路のシミュレーション結果はC V特性の波形のコーナー部が実測データよりも曲率が小さく急であり、この部分でフィッティング精度が若干悪い。これに対し、図13に示すように、V T H 0を負の値にすることにより、このコーナー部1010の曲率を大きくしてなだらかにすることができる。しかし、前述の如く、V T H 0を負の値にすることにより、容量の立ち上がり位置1020が負電位側にシフトしてしまう。

## 【0039】

そこで、図4に示す第2実施形態の等価回路のように、第2の電圧源150を設ける。図14は、第2の電圧源150として、約+1.6Vを印加した場合のC V特性のシミュレーション結果（破線）を、第2の電圧源150を設けない場合（実線）と比較して示す。この図14に示すように、第2の電圧源150を設けることにより、立ち上がり位置を正電位側にシフトさせる効果があり、V T H 0により負電位側にシフトした容量の立ち上がり位置1020の電圧を打ち消す作用がある。このため、第2の電圧源150を設けることにより、C V特性のパターン形状をそのまま維持しつつ、C V特性のパターン全体をゲート基板間電圧の正電位側にシフトすることができる。

## 【0040】

なお、B s i m 3のモデルパラメータのV T H 0以外のパラメータK 1及びD L Cも、C V特性の振幅及び容量変化を操作するが、V T H 0と同様に容量の立

ち上がり位置 1 0 2 0 も変化させてしまう。この場合も、第 2 の電圧源 1 5 0 を設けることにより、これらのパラメータを操作したときの容量の立ち上がり位置 1 0 2 0 の変化を打ち消すことができ、フィッティング作業を柔軟に行うことができ、フィッティング作業が容易になる。

## 【 0 0 4 1 】

図 1 5 は図 4 に示す第 2 実施形態の等価回路において、上述の如くしてフィッティングした場合のフィッティング精度を示すグラフ図である。この図 1 5 に示すように、可変容量素子の実デバイスの C V 特性 (◆) と、等価回路のシミュレーション結果による C V 特性とは極めてよく一致し、フィッティング精度が極めて高い (誤差が極めて小さい) 。

## 【 0 0 4 2 】

上述の如く、本発明の等価回路は、ソースドレイン端子 1 2 3 と基板端子 1 2 5 との間に、第 1 の電圧源 1 3 0 を、P チャネル MOS トランジスタ 1 1 0 に並列になるように接続したことにより、図 2 に示すように、反転層が発生するバイアス電圧を電圧制御可変容量素子 (バラクタ) の制御電圧の範囲 6 0 0 から外側 6 1 0 まで負電圧方向にシフトさせることができ、また、B s i m 3 における通常の MOS トランジスタモデルのソース容量及びドレイン容量の影響を防止するため、B s i m 3 のソース容量及びドレイン容量を表現するパラメータを殆どゼロにし、更にフリンジング容量等の表現は、固定容量 1 4 0 をゲート基板間に並列接続してフィッティングできるようにしており、更に、第 1 の電圧源 1 3 0 を設けることによって、P チャネル MOS トランジスタの閾値電圧が変化するのを、B s i m 3 の閾値電圧を制御するパラメータによって調整することができる。

## 【 0 0 4 3 】

また、ゲートに対して直列に第 2 の電圧源 1 5 0 を挿入することにより、P チャネル MOS トランジスタの閾値電圧を操作することが可能となり、B s i m 3 の閾値を制御するパラメータと組み合わせることにより、柔軟なフィッティングが可能となる。

## 【 0 0 4 4 】

なお、本発明における等価回路において、MOS トランジスタ 1 1 0 の導電型



はPチャネルに限らず、Nチャネルでもよく、シミュレーションすべき可変容量素子に応じて適宜のMOSトランジスタを採用することができる。図16は、図1に示す実施形態において、PチャネルMOSトランジスタ110の代わりに、NチャネルMOSトランジスタ2110を使用した場合の実施形態を示す回路図である。この等価回路においては、第1の電圧源130の極性が反転されている。本実施形態においても、図1に示す実施形態と同様の作用効果を有する。

#### 【0045】

図17は、図4に示す実施形態において、PチャネルMOSトランジスタ110の代わりに、NチャネルMOSトランジスタ2110を使用した場合の実施形態を示す回路図である。この等価回路においては、第1の電圧源130及び第2の電圧源150の極性が反転されている。本実施形態においても、図4に示す実施形態と同様の作用効果を有する。

#### 【0046】

#### 【発明の効果】

以上詳述したように、従来の等価回路では、図21に示すCV特性のように、ゲート基板間電圧が閾値よりも負電位側に入ると反転層が形成されてゲート基板間容量値の増大が発生してしまうのに対し、本発明の等価回路によれば、図2に示すように、CV特性は反転層が発生するバイアス電圧を、電圧制御可変容量素子の制御電圧の範囲よりも外側（より低電位側）の電圧まで、負電位側にシフトさせることができ、その結果、実際の電圧制御可変容量素子のCV特性と等価なCV特性を得ることができる。よって、この本発明の等価回路を使用して、実デバイスである電圧制御可変容量素子のCV特性を含む回路動作特性を極めて高精度でシミュレーションすることができ、本発明は、電圧制御可変容量素子を使用した回路の設計の迅速化及び低コスト化に多大の貢献をなす。

#### 【図面の簡単な説明】

#### 【図1】

本発明の第1実施形態に係る電圧制御可変容量素子の等価回路を示す回路図である。

#### 【図2】

本実施形態の等価回路のC V特性を示すグラフ図である。

【図 3】

本実施形態の動作を示すフローチャート図である。

【図 4】

本発明の第 2 実施形態に係る電圧制御可変容量素子の等価回路を示す回路図である。

【図 5】

図 2 0 及び図 2 1 に示す従来の等価回路のシミュレーション結果のC V特性と、実デバイスのC V特性の測定データとを比較して示すグラフ図である。

【図 6】

外付けの固定容量 1 4 0 を付加した等価回路を示す回路図である。

【図 7】

C V特性に及ぼす外付けの固定容量 1 4 0 の影響を示すグラフ図である。

【図 8】

C V特性に及ぼす B s i m 3 パラメータ V T H 0 の影響を示すグラフ図である。

【図 9】

C V特性に及ぼす B s i m 3 パラメータ K 1 の影響を示すグラフ図である。

【図 1 0】

C V特性に及ぼす B s i m 3 パラメータ D L C の影響を示すグラフ図である。

【図 1 1】

C V特性に及ぼす第 1 の電圧源 1 3 0 の影響を示すグラフ図である。

【図 1 2】

第 1 実施形態の等価回路のフィッティング精度を示すグラフ図である。

【図 1 3】

C V特性に及ぼす B s i m 3 パラメータ V T H 0 の影響を示すグラフ図である。

【図 1 4】

C V特性に及ぼす第 2 の電圧源 1 5 0 の影響を示すグラフ図である。

【図 1 5】

第 2 実施形態の等価回路のフィッティング精度を示すグラフ図である。

【図 1 6】

本発明の第 3 実施形態に係る電圧制御可変容量素子の等価回路を示す回路図である。

【図 1 7】

本発明の第 4 実施形態に係る電圧制御可変容量素子の等価回路を示す回路図である。

【図 1 8】

電圧制御可変容量素子の構造を示す断面図である。

【図 1 9】

この電圧制御可変容量素子の C V 特性を示すグラフ図である。

【図 2 0】

従来の等価回路を示す回路図である。

【図 2 1】

この従来の等価回路の C V 特性を示すグラフ図である。

【符号の説明】

1 1 0 : P チャネル MOS トランジスタ

1 2 1 : ゲート端子

1 2 2 : ゲート電極

1 2 3 : ソースドレイン端子

1 2 5 : 基板端子

1 3 0 : 第 1 の電圧源

1 4 0 : 固定容量

1 5 0 : 第 2 の電圧源

3 0 0 : P チャネル MOS トランジスタ

3 2 1 : ゲート端子

3 2 3 : ソースドレイン端子

3 2 5 : 基板端子

5 5 0 : P 基板

5 6 0 : N ウェル

5 7 0 : ゲート電極

5 8 0 : ゲート絶縁膜

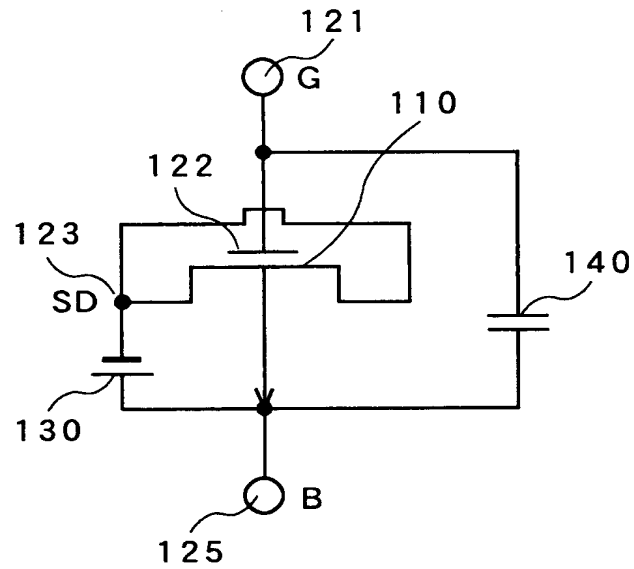
5 8 2 : N<sup>+</sup> 拡散層

2 1 1 0 : NチャネルMOSトランジスタ

【書類名】

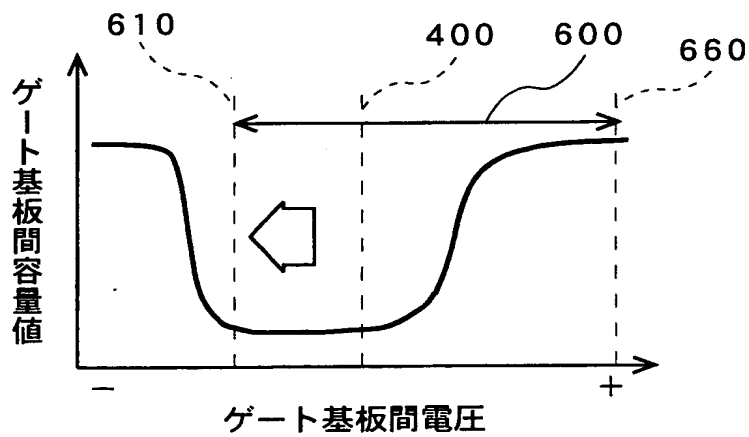
図面

【図1】

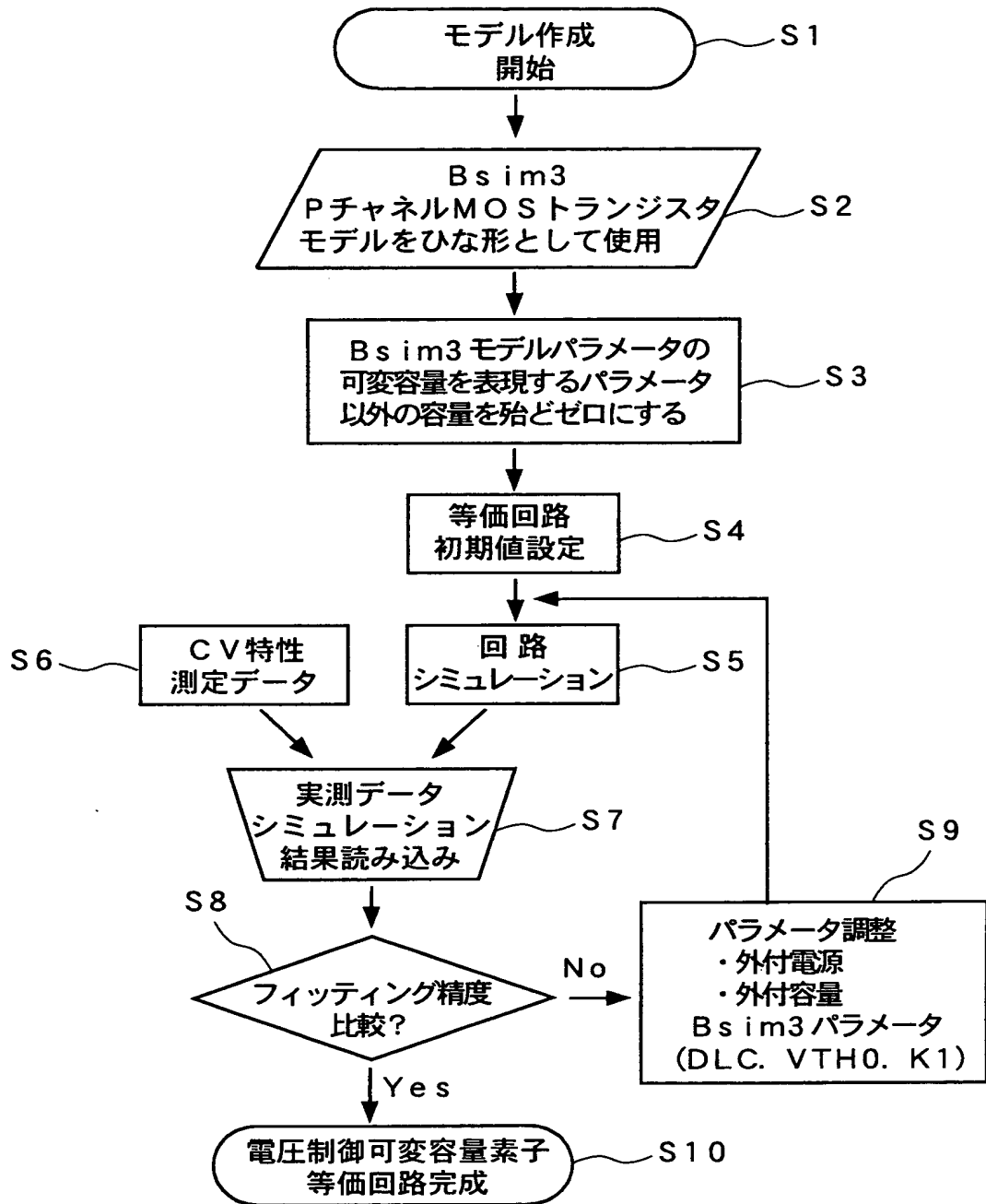


110 : PチャネルMOSトランジスタ  
 121 : ゲート端子  
 122 : ゲート電極  
 123 : ソースドレイン端子  
 125 : 基板端子  
 130 : 第1の電圧源  
 140 : 固定容量

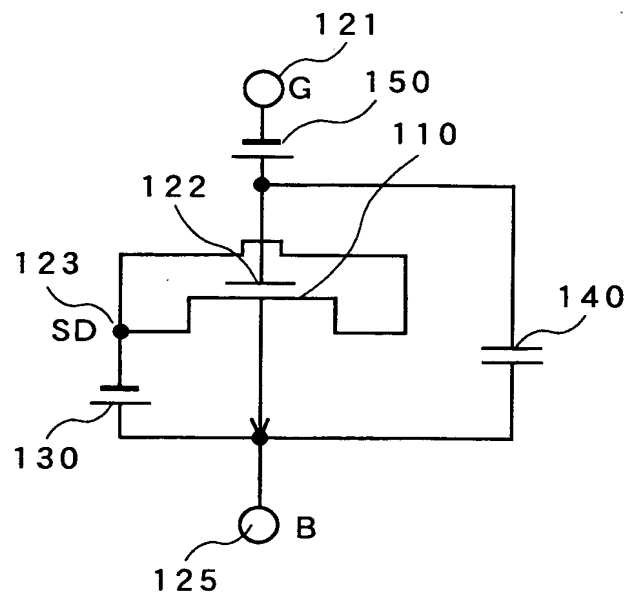
【図2】



【図 3】

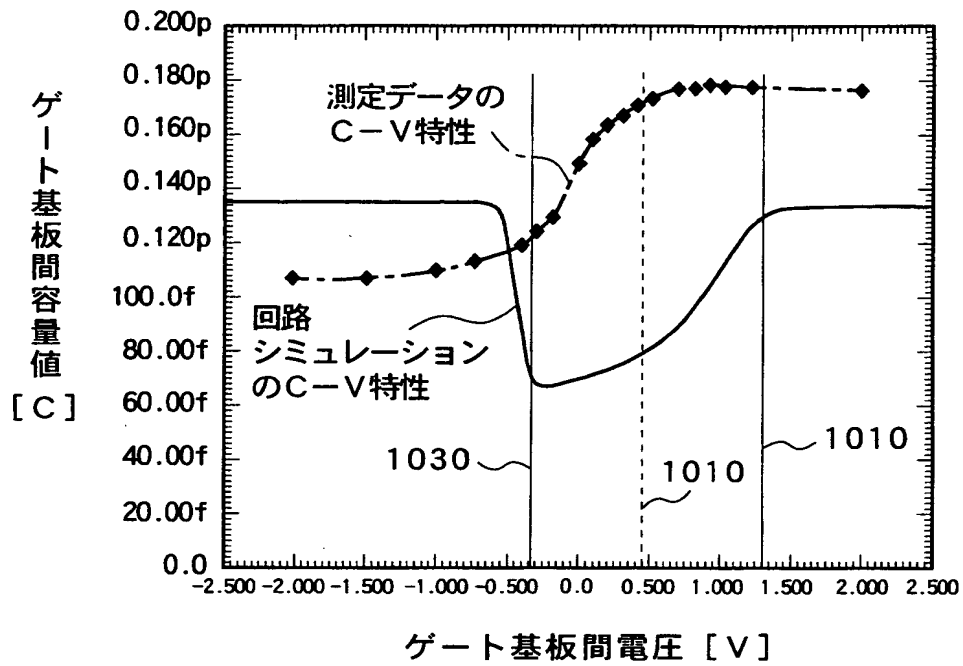


【図 4】



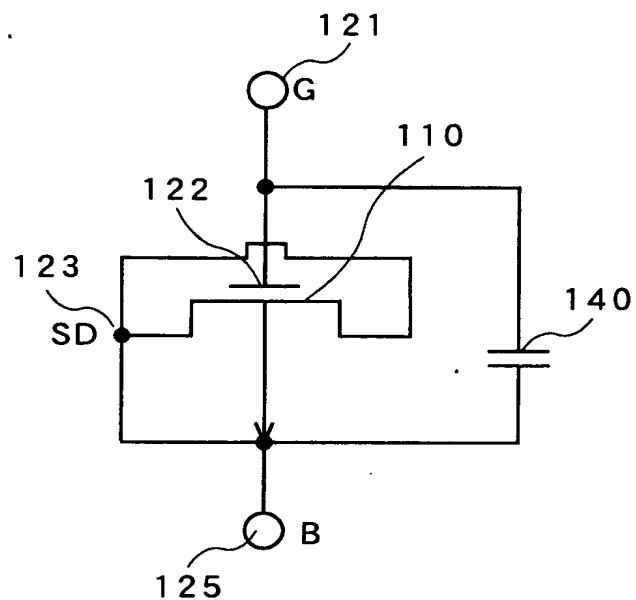
- 1 1 0 : PチャネルMOSトランジスタ
- 1 2 1 : ゲート端子
- 1 2 2 : ゲート電極
- 1 2 3 : ソースドレイン端子
- 1 2 5 : 基板端子
- 1 3 0 : 第1の電圧源
- 1 4 0 : 固定容量
- 1 5 0 : 第2の電圧源

【図 5】



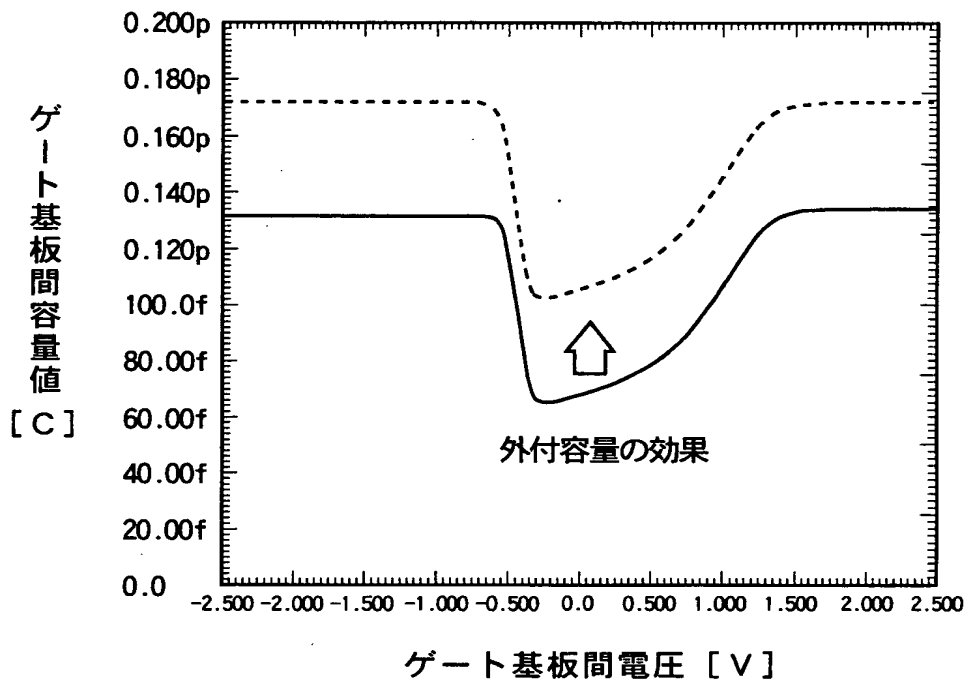


【図 6】

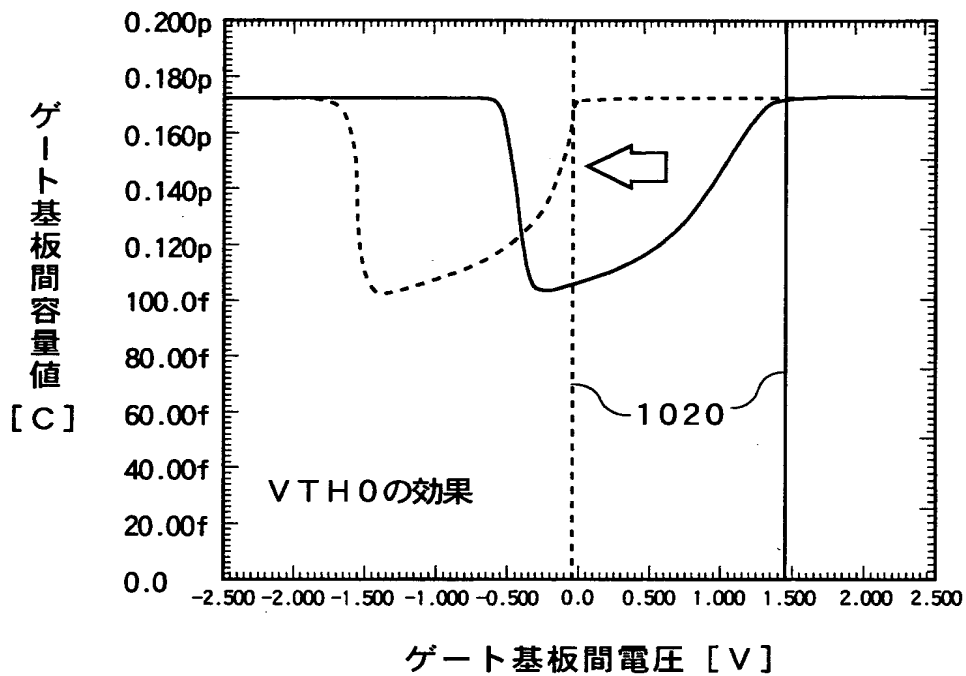


- 1 1 0 : PチャネルMOSトランジスタ
- 1 2 1 : ゲート端子
- 1 2 2 : ゲート電極
- 1 2 3 : ソースドレイン端子
- 1 2 5 : 基板端子
- 1 4 0 : 固定容量

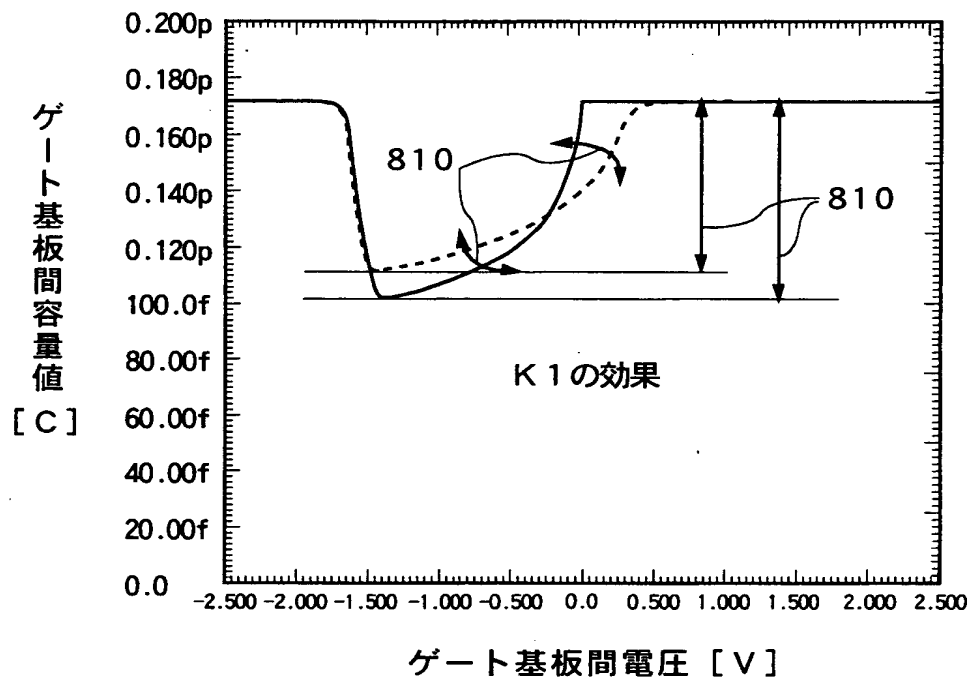
【図 7】



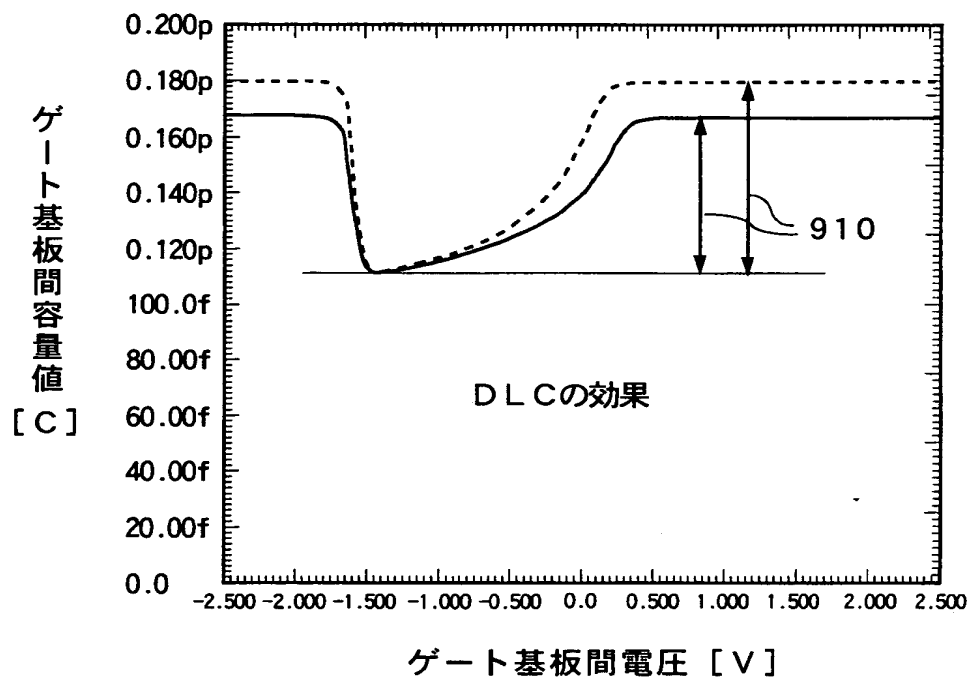
【図 8】



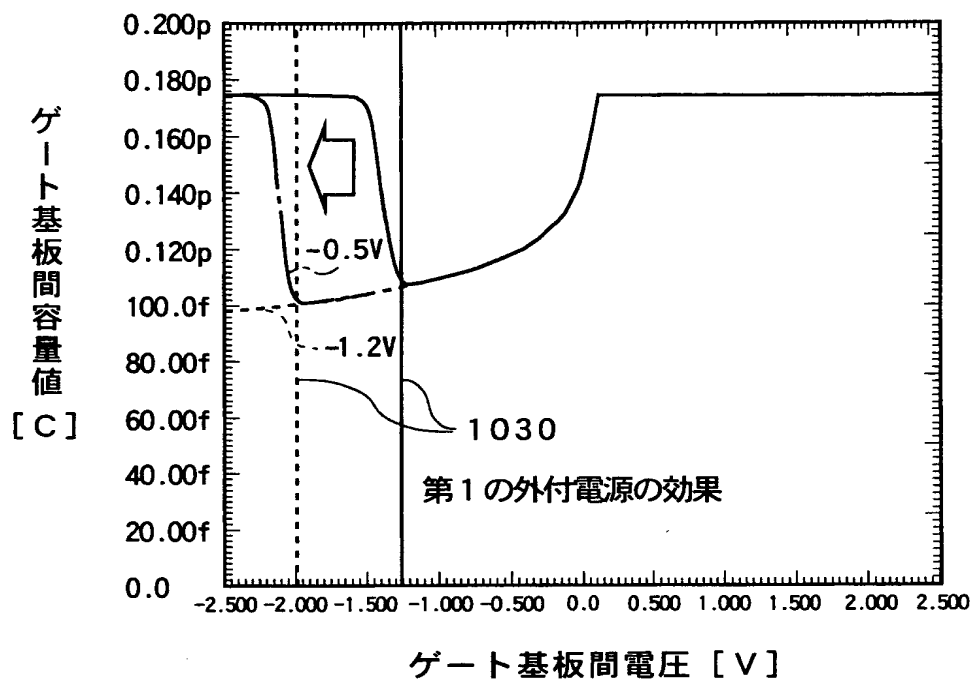
【図 9】



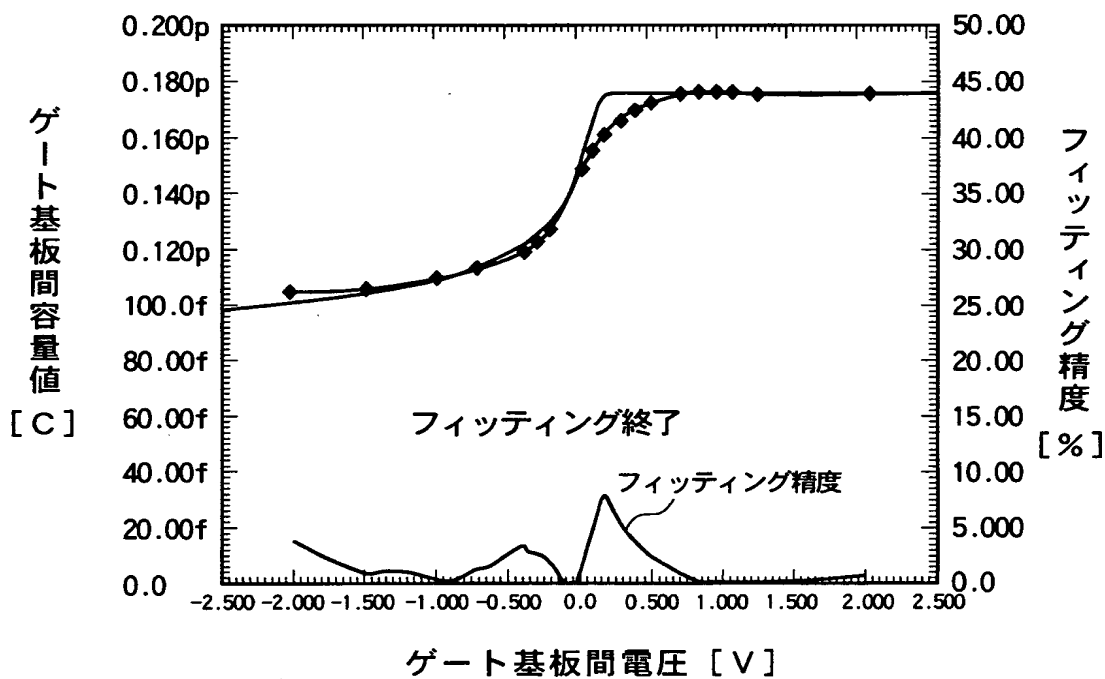
【図 10】



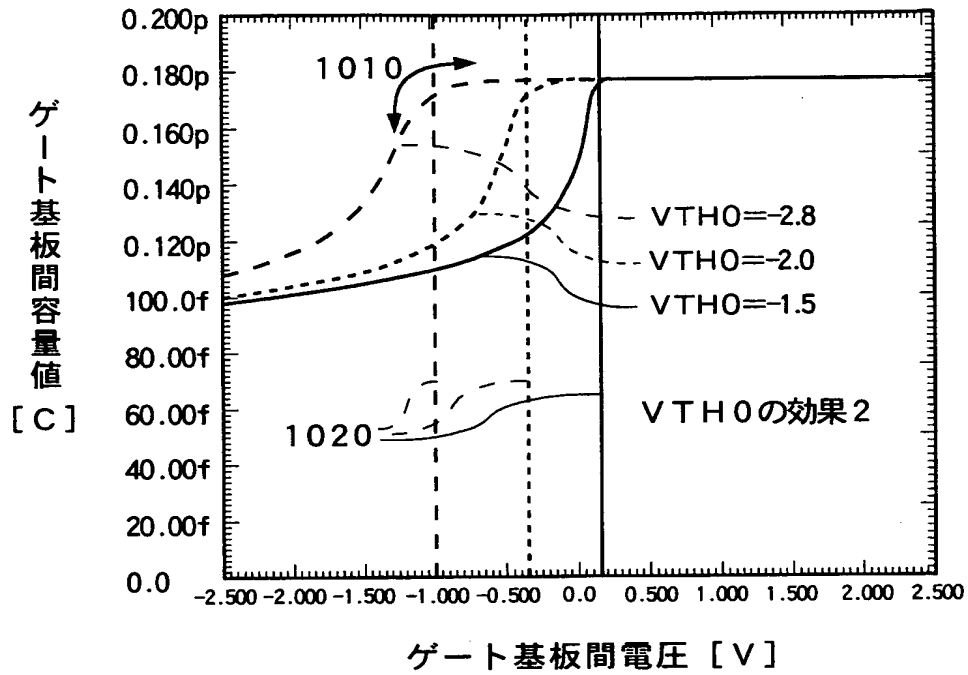
【図 1 1】



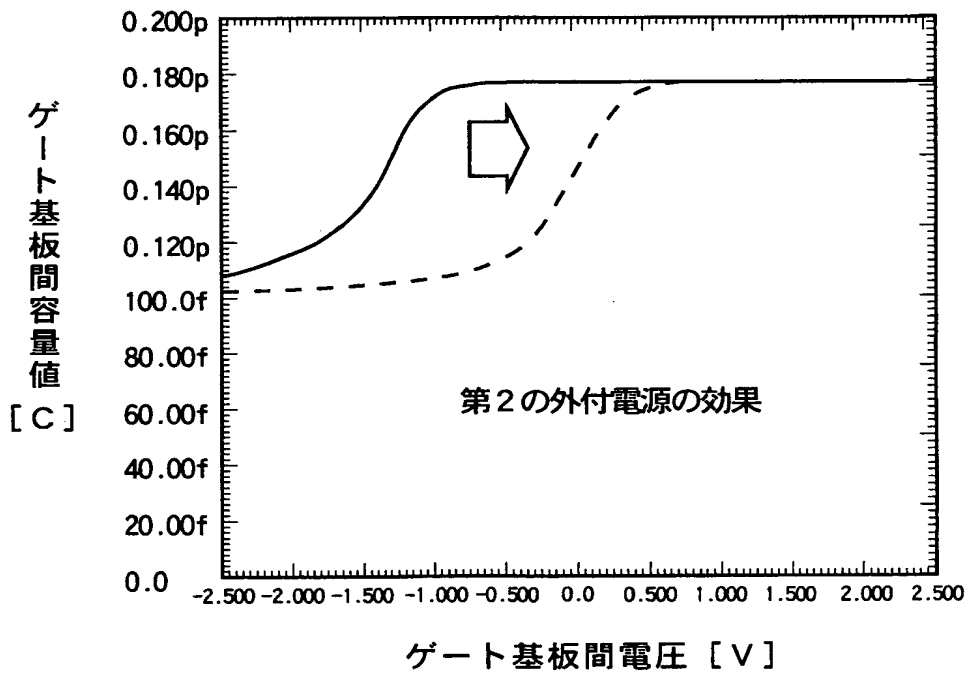
【図 1 2】



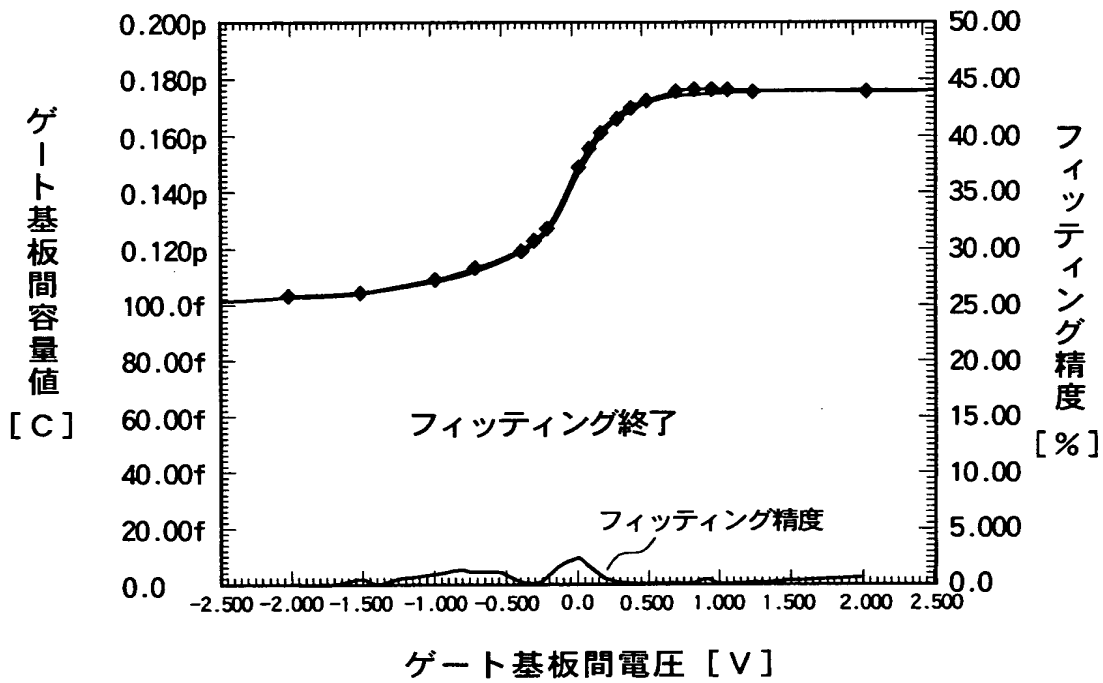
【図 1 3】



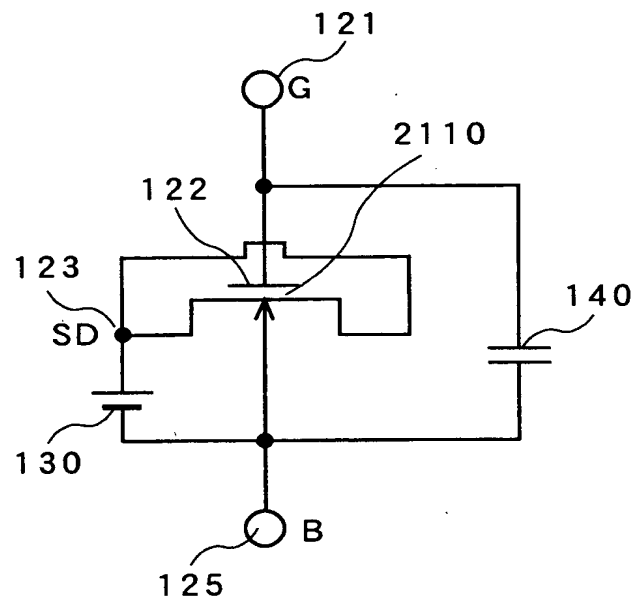
【図 1 4】



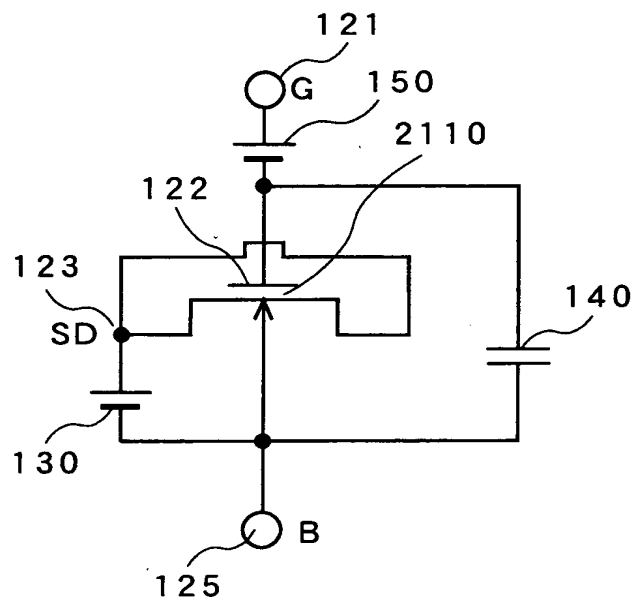
【図 15】



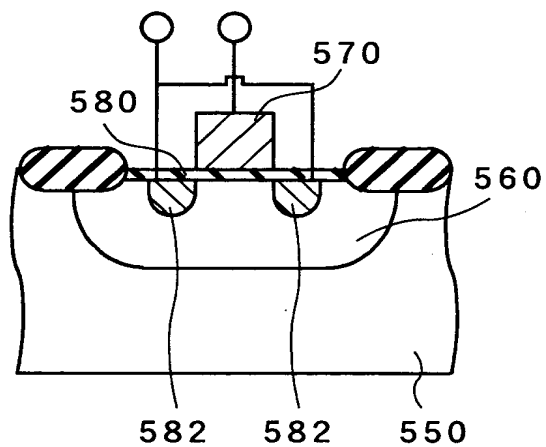
【図 16】



【図17】

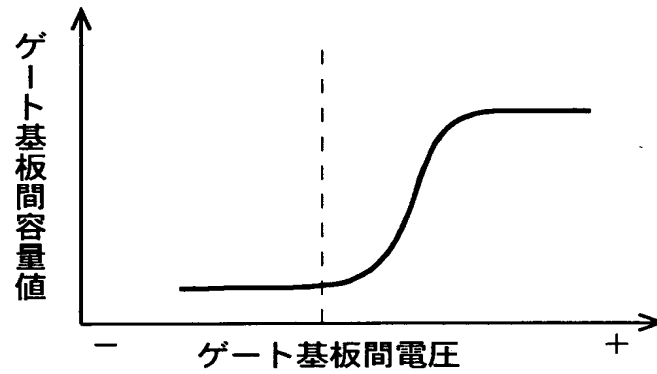


【図18】

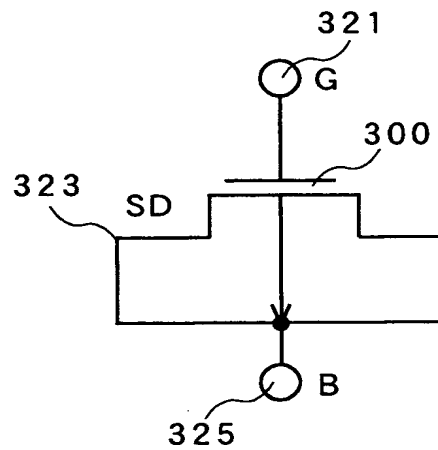


550 : P基板  
 560 : Nウェル  
 570 : ゲート電極  
 580 : ゲート絶縁膜  
 582 : N<sup>+</sup>拡散層

【図 1 9】



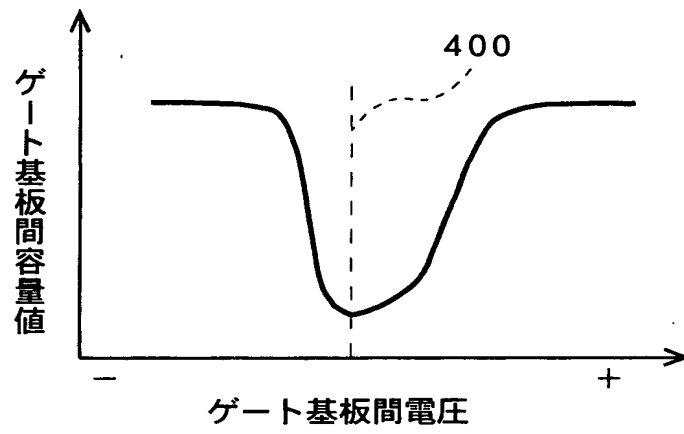
【図 2 0】



- 3 0 0 : PチャネルMOSトランジスタ
- 3 2 1 : ゲート端子
- 3 2 3 : ソースドレイン端子
- 3 2 5 : 基板端子



【図 2 1】



【書類名】 要約書

【要約】

【課題】 電圧制御可変容量素子のC V特性を含む回路動作特性を高精度でシミュレーションすることができ、電圧制御可変容量素子を使用した回路の設計を極めて容易にすることができる電圧制御可変容量素子の等価回路を提供する。

【解決手段】 この等価回路は、可変容量を表現するPチャネルMOSトランジスタ110のゲート電極122にゲート端子121が接続され、基板電位の基板端子125とゲート端子121との間に、固定容量140が接続されている。また、PチャネルMOSトランジスタ110のソースドレインはソースドレイン端子123に共通接続されて同一電位となっており、このソースドレイン端子123と基板端子125との間に、基板端子125側が正電位となる第1の電圧源130が接続されている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-247870
受付番号	50201273186
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 8月28日

<認定情報・付加情報>

【提出日】 平成14年 8月27日

【書類名】 出願人名義変更届（一般承継）  
【整理番号】 74112645  
【提出日】 平成15年 1月29日  
【あて先】 特許庁長官 殿  
【事件の表示】  
    【出願番号】 特願2002-247870  
【承継人】  
    【識別番号】 302062931  
    【氏名又は名称】 N E C エレクトロニクス株式会社  
【承継人代理人】  
    【識別番号】 100090158  
    【弁理士】  
    【氏名又は名称】 藤巻 正憲  
【提出物件の目録】  
    【物件名】 承継人であることを証明する登記簿謄本 1  
    【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8  
                    8 の出願人名義変更届に添付のものを援用する。  
    【物件名】 承継人であることを証明する承継証明書 1  
    【援用の表示】 平成 1 5 年 1 月 2 3 日提出の平成 1 1 年特許願第 0 3 1  
                    1 8 4 号の出願人名義変更届に添付のものを援用する。  
    【包括委任状番号】 0216549  
【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社